

4/P.P
Leers
12/15/00

JC525 U.S. PTO
09/660926
09/13/00

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年 9月14日

出願番号
Application Number:

平成11年特許願第260738号

出願人
Applicant(s):

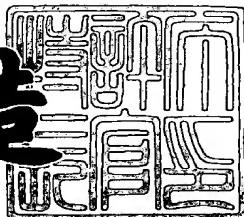
シャープ株式会社

sharp

2000年 7月28日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3060175

【書類名】 特許願
【整理番号】 99J01499
【提出日】 平成11年 9月14日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/786
【発明の名称】 半導体装置およびその製造方法
【請求項の数】 6
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 徳重 信明
【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社
【代理人】
【識別番号】 100065248
【弁理士】
【氏名又は名称】 野河 信太郎
【電話番号】 06-6365-0718
【手数料の表示】
【予納台帳番号】 014203
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9003084
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されたS O I基板の半導体層にM O Sトランジスタが形成された半導体装置であって、前記半導体層に形成された素子分離領域に、第1導電型半導体基板にバイアス電圧を印加するためのコンタクト部が形成されてなることを特徴とする半導体装置。

【請求項2】 半導体層に形成されたM O Sトランジスタの下方の第1導電型半導体基板表面に、該基板の他の領域よりも不純物濃度の高いウェルを形成し、該ウェルの一部がコンタクト部と接続してなる請求項1に記載の半導体装置。

【請求項3】 M O SトランジスタがNチャネル型M O SトランジスタおよびPチャネル型M O Sトランジスタであり、Nチャネル型M O Sトランジスタの下方の第1導電型半導体基板にP型ウェルが形成され、Pチャネル型トランジスタの下方の第1導電型半導体基板にN型ウェルが形成されてなる請求項2に記載の半導体装置。

【請求項4】 P型ウェルとN型ウェルが、電気的に分離された状態で第1導電型半導体基板に形成されてなる請求項3に記載の半導体装置。

【請求項5】 M O Sトランジスタにより構成される半導体回路の動作状態と待機状態において、それぞれ異なるバイアス電圧が印加されることによりM O Sトランジスタの閾値電圧が変化してなる請求項1～4のいずれか1つに記載の半導体装置。

【請求項6】 第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されたS O I基板の半導体層に素子分離領域を形成する工程と、第1導電型半導体基板に達するトレンチを素子分離領域に形成する工程と、前記トレンチを含む半導体層上全面に絶縁膜を形成する工程と、該絶縁膜をエッチバックすることによりトレンチの側壁にサイドウォールスペーサーを残存させた状態でトレンチ底部の第1導電型半導体基板を露出させる工程と、前記トレンチを含む半導体層上全面に導電膜を形成する工程と、エッチバックまたは研磨処理により素子分

離領域に第1導電型半導体基板に接続されたコンタクト部を形成する工程からなることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関する。さらに詳しくは、本発明は、スタンバイ時の消費電流が低減されたSOI (Silicon-on-insulator) 型の半導体装置およびその製造方法に関する。

【0002】

【従来の技術および発明が解決しようとする課題】

近年、大規模集積回路の集積度は急速な勢いで増加している。それに伴って、MOS型集積回路に搭載されるMOSトランジスタのゲート長は、実用化レベルでは0.2ミクロン以下、研究レベルでは0.05ミクロンに達している。このような微細MOSトランジスタにおいて、高性能および長期信頼性を実現するためには、様々な要素を考慮しながら構造の最適化を行わなければならない。

【0003】

MOS型集積回路においてさらに高い集積度を実現するためには、電流駆動能力などの基本性能が低下しないようにMOSトランジタ全体を小型化しなければならない。このためにはゲート長を短縮する必要があるが、ゲート長の短縮と共に「短チャネル効果」と呼ばれる現象が起こる。

【0004】

短チャネル効果とは、ゲート長の短縮に伴って、トランジスタの閾値やソース・ドレイン間の耐電圧値が低下し、サブスレッショルド係数が増加する現象である。このような現象の発現を抑制して良好な特性のトランジスタを実現するには、一般にゲート長の短縮に併せてチャネル部の不純物濃度を増加させる必要がある。しかし、このような一般原則に基づいて作製された微細MOSトランジスタは、ドレインと基板の間に形成されるP-N接合の容量が増加してしまう。このために、寄生容量の充放電に要する時間が増加して回路動作速度が低下してしまう。

【0005】

トランジスタの微細化、すなわち構造の最適化はこれらの難問をバランス良く解決しながら実施されてきた。しかし、微細加工技術などの製造技術の問題、集積回路システムの設計および複雑な回路設計技術の問題もあり、トランジスタをさらに微細化して集積度を向上することは、ますます困難になりつつある。

【0006】

上記の問題を解決する方法としては、SOI基板上にトランジスタを形成する方法がある。一般にSOI基板上に作製されるトランジスタは、その構造から「完全空乏化型」と「部分空乏化型」に分類される。

これらは、NMOS/SOIやPMOS/SOIのチャネル部のシリコン層に導入する不純物のドーズとこのシリコン層の厚さ、すなわち不純物濃度によって決定される空乏層の最大幅（最大空乏層幅）とチャネル部のシリコン層の厚さの大小関係によって分類される。「完全空乏化型」はチャネル部のシリコン層の厚さよりも最大空乏層幅の方が大きいトランジスタであり、「部分空乏化型」はチャネル部のシリコン層の厚さよりも最大空乏層幅の方が小さいトランジスタである。

【0007】

他方、SOI基板を用いた集積回路を非常に低い電圧（例えば、1V以下）で動作させた場合には、スタンバイ時のリーク電流が大きくなり、かつスタンバイ時の消費電流が大きくなるという問題がある。

【0008】

上記の問題を解決する方法として、図6に示されるような4端子のボディコンタクトSOIが考えられる。これは、SOI基板の表面半導体層に形成されたウェルにコンタクトを取り、直接ウェルに電圧を印加する方法である。すなわち、表面半導体層に形成されたウェルを完全分離し、そのウェルのポテンシャルを、ウェルコンタクトに印加するバイアス電圧を制御することで閾値電圧をダイナミックに変化させようとするものである。

【0009】

しかしながら、図6に示した方法では、表面半導体層のPウェルから直接電位

を与えるためのコンタクトをとる必要があり、必然的に表面半導体層を厚くする必要があり、チャネル領域は部分空乏化型になってしまう。また、薄い濃度のウェルから直接コンタクトをとるため、コンタクト部とトランジスタとの距離に関連して、ウェル抵抗が影響し、均一に基板電圧が印加されず、逆に閾値電圧がトランジスタ毎にばらついてしまうという問題が生じる。

【0010】

また、図7に示されるような、支持基板であるP型シリコン基板の表面に部分的に高濃度層を形成する方法が提案されている。これは、NMOSトランジスタのチャネルに対応する支持基板の表面に、埋め込み酸化膜を介して高濃度P型領域を配置し、PMOSトランジスタの下方に、埋め込み酸化膜を介してNウェルを配置すると共に、チャネルに対応する支持基板の表面に高濃度N型領域を設けたCMOS回路である（特開平8-32040号公報およびProceeding 1995 IEEE International SOI Conference 14p, Oct. 1995参照）。

【0011】

この方法によるSOI型半導体装置は、埋め込み酸化膜と支持基板であるシリコン基板との界面近傍に不純物濃度の高い領域を有し、かつNウェルが電源電圧に接続されている。このためにドレイン電圧の上昇によって形成されるシリコン基板側の空乏層が、チャネル領域下部にまで広がることが抑制され、完全空乏化型SOIトランジスタの閾値電圧、チャネル移動度などのパラメータが安定化し、回路の動作速度を向上させることができる。

【0012】

しかしながら、図7に示した方法では、積極的にトランジスタの閾値電圧 V_{th} を制御するという技術的思想はない。また、このSOI型半導体装置のウェルは電源電圧に固定して接続されているので、Nウェルに電圧を印加しても閾値電圧 V_{th} を制御することができず、スタンバイ時のリークおよびそれに基づくスタンバイ時の消費電流を低減することは困難である。

【0013】

別の方法として、特開平10-125925号公報に示されるような構造が提案されている。これらの構造は図8(a)～(c)および図9に示され、いずれ

もS O I構造トランジスタの支持基板であるシリコン基板や支持基板内に形成したウェルに所定の電位を与えることにより、ソース／ドレインとチャネル領域下部との寄生容量を低減して高速化を図っている。また、これらの半導体装置は、支持基板に与える電位を、多数のキャリアが表面シリコン層のボディ下部領域にアキュミュレーションするような電位にして、閾値電圧 V_{th} の制御およびフローティングボディ効果の抑制を図っている。

【0014】

しかしながら、図8(a)～(c)に示した半導体装置は、正の電圧、負の電圧あるいは正負の両電圧を支持基板裏面に直接印加して閾値電圧を制御するので、印加電圧が支持基板でのP N接合の逆方向耐圧の範囲内に制限され、印加電圧の自由度が少なくなるという欠点を有する。また、図8(a)に示されるようにウェルを形成せず、基板に直接正負の両電圧を印加するのは実際的ではない。

【0015】

また、図9に示した半導体装置では、ウェルに電圧を印加するために、素子分離領域外で表面シリコン層へのコンタクトを取らなければならず、微細化の観点から問題が残る。

【0016】

本発明は上記課題に鑑みてなされたものであり、S O I基板に形成されたM O Sトランジスタにおいて、閾値電圧を動作時、もしくはスタンバイ時に応じて自由に変化させ、スタンバイ時のリークおよびそれにに基づくスタンバイ時の消費電流を低減することができる半導体装置およびその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】

本発明によれば、第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されたS O I基板の半導体層にM O Sトランジスタが形成された半導体装置であって、前記半導体層に形成された素子分離領域に、第1導電型半導体基板にバイアス電圧を印加するためのコンタクト部が形成されてなることを特徴とする半導体装置が提供される。

【0018】

また、本発明によれば、第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されたS O I 基板の半導体層に素子分離領域を形成する工程と、第1導電型半導体基板に達するトレンチを素子分離領域に形成する工程と、前記トレンチを含む半導体層上全面に絶縁膜を形成する工程と、該絶縁膜をエッチバックすることによりトレンチの側壁にサイドウォールスペーサーを残存させた状態でトレンチ底部の第1導電型半導体基板を露出させる工程と、前記トレンチを含む半導体層上全面に導電膜を形成する工程と、エッチバックまたは研磨処理により素子分離領域に第1導電型半導体基板に接続されたコンタクト部を形成する工程からなることを特徴とする上記の半導体装置の製造方法が提供される。

【0019】

【発明の実施の形態】

本発明の半導体装置は、第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されたS O I 基板の半導体層にM O S トランジスタが形成されてなる。M O S トランジスタとしては、主として完全空乏化型のP M O S トランジスタおよびN M O S トランジスタからなる。

【0020】

S O I 基板は、第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されてなり、張り合わせS O I (B E S O I) 基板、S I M O X (Separation by Implantation of Oxygen) 型基板等として用いられるものが挙げられる。

【0021】

第1導電型半導体基板としては、例えば、シリコン、ゲルマニウム等の半導体基板、G a A s 、I n G a A s 等の化合物半導体等、種々の基板を用いることができる。ここで第1導電型とは、リン、砒素等によるN型またはボロン等のP型のいずれかの導電型を意味する。また第1導電型半導体基板は、比較的低抵抗のものが好ましく、例えば $10\Omega\text{ cm}$ 程度の抵抗を有しているものが好ましい。

【0022】

埋め込み絶縁膜としては、例えば、S i O₂膜、S i N 膜等が挙げられ、なかでもS i O₂膜が好ましい。この膜厚は、得ようとする半導体装置の特性、得ら

れた半導体装置を使用する際の印加電圧の高さ等を考慮して、適宜調整することができるが、例えば50～500nm程度が挙げられる。

【0023】

半導体層は、トランジスタを形成するための活性層として機能する半導体薄膜であり、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs等の化合物半導体等の薄膜により形成することができる。なかでもシリコン薄膜が好ましく、このシリコン薄膜は単結晶であることが好ましい。半導体層の膜厚は得ようとする半導体装置の構成から考慮して、適宜調整することができ、例えば50～500nm程度が挙げられる。

【0024】

本発明の半導体装置は、上記のSOI基板の半導体層に素子分離膜を形成することによって活性領域が規定され、この活性領域にMOSトランジスタが形成されている。また、素子分離領域には、第1導電型半導体基板にバイアス電圧を印加するためのコンタクト部が形成されている。

【0025】

MOSトランジスタは、Nチャネル型MOSトランジスタまたはPチャネル型MOSトランジスタのいずれでもよく、また、Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタの双方であってもよい。なかでも、同一半導体層にNチャネル型MOSトランジスタとPチャネル型MOSトランジスタとが形成されているのが好ましい。

【0026】

本発明の半導体装置は、半導体層に形成されたMOSトランジスタの下方の第1導電型半導体基板に、この基板の他の領域よりも不純物濃度の高いウェルが形成され、このウェルの一部がコンタクト部と接続しているのが好ましい。ここで、ウェルは、MOSトランジスタがNチャネル型の場合には、P型であることが好ましく、Pチャネル型の場合には、N型であることが好ましい。なお、同一半導体層にNチャネル及びPチャネルの双方のMOSトランジスタが形成されている場合には、第1導電型半導体基板のP型ウェルとN型ウェルとは、電気的に分離されていることが好ましい。

【0027】

第1導電型半導体基板に形成されるウェルがP型の場合は、ボロン、アルミニウム、ガリウム、インジウム等、N型の場合は、リン、砒素等の不純物を導入することにより形成することができる。ウェルが第2導電型の場合には、第1導電型半導体基板における第1導電型不純物を相殺して形成されるため、不純物濃度のばらつき防止の点から、低濃度より中濃度以上とすることが望ましいが、第1導電型及び第2導電型ウェルのいずれの場合にも、半導体層や埋め込み絶縁膜への注入ダメージの観点から、例えば、 10^{17} cm^{-3} 程度以下が好ましく、より好ましくは $10^{16} \text{ cm}^{-3} \sim 10^{17} \text{ cm}^{-3}$ 程度が挙げられる。

【0028】

ウェルの深さは、その上に形成されるMOSトランジスタの様相、最終的に得られる半導体装置の特性等に応じて適宜調整することができるが、例えば、第2導電型ウェルの場合には $0.1 \sim 1.0 \mu\text{m}$ 程度、第1導電型ウェルの場合には $0.1 \sim 0.5 \mu\text{m}$ 程度が挙げられる。

【0029】

ウェルの形成は、例えば、SOI基板の半導体層に素子分離領域を形成する前又は形成した後に、公知の方法、例えば、フォトリソグラフィー及びエッチング工程により、ウェルを形成しようとする領域に開口を有するマスクを形成し、このマスクを用いてイオン注入する方法が挙げられる。

【0030】

また、このウェルの一部がコンタクト部と接続する場合には、コンタクト抵抗を低減するために、ウェル表面に、ウェルと同じ導電型であって、ウェルを形成する不純物の濃度よりも高い不純物濃度を有するウェルコンタクトを形成することが好ましい。ウェルコンタクトの形成は、例えば、トレンチを形成する際に使用したレジストパターンをマスクとして用いて、ウェルと同じ導電型の不純物をイオン注入することにより形成してもよいし、別途、ウェルコンタクトを形成しようとする領域に開口を有するレジストパターンを形成し、このレジストパターンをマスクとして用いて、ウェルと同じ導電型の不純物をイオン注入することにより形成してもよい。ウェルコンタクトの不純物濃度は、ウェルの不純物濃度、

コンタクト部に印加する電圧等により適宜調整することができるが、例えば、P型の場合、 10^{18} cm^{-3} 程度以上、N型の場合、 10^{20} cm^{-3} 程度以上が好ましい。なお、イオン注入の際の注入エネルギーは、ウェルコンタクトを形成しようとする領域上に存在する埋め込み絶縁膜、半導体層等の有無、それらの膜厚等により適宜調整できるが、例えば、不純物としてリンを用いる場合には、100～180 keV程度、ボロンを用いる場合、80～150 keV程度が挙げられる。

【0031】

本発明の半導体装置の製造方法においては、まず、1) 第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されたSOI基板の半導体層に素子分離領域を形成する。素子分離領域は、公知の方法、例えば、LOCOS法、トレンチ分離法等により形成することができる。素子分離領域の形成により、半導体層に活性領域を形成することができる。なお、素子分離領域は、少なくとも半導体層に形成されるものであれば、埋め込み絶縁膜を貫通していてもよいし、第1導電型半導体基板にまで達していてもよい。

【0032】

次いで、2) 第1導電型半導体基板に達するトレンチを素子分離領域に形成する。トレンチを形成する方法としては、例えば、素子分離領域上に開口を有するレジストパターンを形成し、このレジストパターンをマスクとして用いて素子分離領域、半導体層及び埋め込み絶縁膜を順次エッチングすること方法が挙げられる。この場合のトレンチの大きさは、第1導電型半導体基板に所望のバイアス電圧を印加ができる大きさであれば特に限定されるものではない。なお、第1導電型半導体基板にすでにウェルが形成されている場合には、トレンチは、第1導電型半導体基板に形成されたウェルに達するように形成することが必要である。

【0033】

さらに、3) トレンチを含む半導体層上全面に絶縁膜を形成する。絶縁膜としては、例えばSiO₂、SiN又はこれらの積層膜等が挙げられる。膜厚は、トレンチを完全に埋設することができる程度であれば特に限定されるものではなく

、例えば、200～1500nm程度が挙げられる。これらの絶縁膜は、CVD法等の公知の方法で形成することができる。

【0034】

続いて、4) 絶縁膜をエッチバックする。エッチバックは、例えば、異方性エッチングにより行うことができる。これにより、半導体層上及びトレンチ底部に存在していた絶縁膜を除去することができ、トレンチ底部の第1導電型半導体基板を露出させることができるとともに、トレンチの側壁にはこの絶縁膜によるサイドウォールスペーサーを残存させることができる。

【0035】

さらに、5) トレンチを含む半導体層上全面に導電膜を形成する。導電膜の材料は特に限定されるものではなく、例えば、アルミニウム、銅、金、銀、白金等の金属、タンタル、チタン、タングステン等の高融点金属、不純物を含有するポリシリコン等の単層膜又は積層膜により形成することができる。導電膜の膜厚は、トレンチを完全に埋設することができる程度であれば特に限定されるものではなく、例えば、200～1500nm程度が挙げられる。

【0036】

次いで、6) 導電膜をエッチバックまたは研磨処理する。エッチバックは、例えば、スパッタ法、RIE法等のドライエッチング、導電膜を腐食させる溶液を用いたウェットエッチング等種々の方法により行うことができる。また研磨処理は、CMP法又は研磨剤を使用したCMP法等が挙げられる。この際のエッチバックまたは研磨処理は、素子分離領域に形成したトレンチ内部のみに導電膜が埋設され、素子分離領域の表面が完全に露出するように行うことが好ましい。これにより、素子分離領域に第1導電型半導体基板に接続されたコンタクト部を形成することができる。

【0037】

なお、本発明の半導体装置の製造方法においては、上記の各工程の前、中、後において、第1導電型半導体基板のウェルの形成、ウェルコンタクトの形成、半導体層への不純物の導入、MOSトランジスタの形成、層間絶縁膜の形成、層間絶縁膜へのコンタクトホールの形成、配線層の形成、熱処理等を必要に応じて行

うことが好ましい。

【0038】

以下に、本発明の半導体装置の実施の形態を図面に基づいて説明する。なお、本発明はこの実施の形態により制限を受けるものではない。

図1は本発明の半導体装置である。この半導体装置は、第1導電型半導体基板11（例えば、抵抗値約 $10\Omega\text{ cm}$ のP型シリコン基板）、埋め込み絶縁膜12（例えば、膜厚約 100 nm の SiO_2 膜）および半導体層13（例えば、膜厚約 50 nm の単結晶シリコン活性層）からなるSOI基板10（SIMOX基板）上に、各々MOSトランジスタが形成され、素子分離用トレンチ14との内部のコンタクトホール16からなる。

【0039】

以下に、図1の半導体装置の製造方法について、図2(a)～(d)に基づいて説明する。

まず、図2(a)に示すように、フォトリソグラフィー及びエッチング工程により、トランジスタを形成する活性領域である半導体層13および後にウェルコンタクトとなる領域を含む領域に開口を有するレジストパターンを形成し（図示せず）、SOI基板10（SIMOX基板）の第1導電型半導体基板11の表面にリンを注入エネルギー 180 keV 、ドーズ 10^{13} cm^{-2} でイオン注入する（11a参照）。

【0040】

次いで、フォトリソグラフィー及びエッチング工程により、NMOSトランジスタを形成する領域に開口を有するレジストパターンを形成し（図示せず）、これをマスクとして第1導電型半導体基板11の表面にボロンを注入エネルギー 100 keV 、ドーズ 10^{13} cm^{-2} でイオン注入する（11b参照）。

【0041】

次に、図2(b)に示すように、公知の方法によって、素子分離用トレンチ14を形成し、トランジスタの活性領域を規定する。なおここでの素子分離用トレンチ14は、埋め込み絶縁膜12（ SiO_2 膜）を貫通するように形成すること

により、この素子分離用トレンチ14の一部が、後に示すように、第1導電型半導体基板11の表面に形成されたウェルコンタクトを兼ねることになる。

【0042】

次いで、素子分離用トレンチ14の拡大図である図3(a)に示すように、例えば、CVD酸化膜でトレンチを埋め込む。続いて、図3(b)に示すようにエッチバックによりトレンチ底部を露出させると共に、トレンチ溝側壁に酸化膜のサイドウォールスペーサー(素子分離領域)14aを形成する。その後、図3(c)のようにウェルコンタクトをとるためのリフラクトメタルであるタングステンもしくはドープドポリシリコンからなる導電膜を堆積する。ドープドポリシリコンを用いる場合には、NウェルにはNドープドポリシリコン、PウェルにはPドープドポリシリコンを使用することが必要である。その後、図3(d)のように導電膜のエッチバックを行い、ウェルコンタクト用導電体14bを形成する。

【0043】

次に、得られたSOI基板10を図2(c)、(d)に示すように、公知の技術を用いて、PMOSトランジスタおよびNMOSトランジスタのチャネル領域(図示せず)、NMOSゲート15a、PMOSゲート15b、ソース/ドレン領域(図示せず)をそれぞれ形成し、絶縁膜17を形成した後、ウェルの電位を変化させる必要がある部分にウェルコンタクト用ホール16a、通常のトランジスタ用コンタクトホール16bを形成する。

【0044】

本発明の半導体装置におけるトランジスタ特性を図4(a)、(b)および図5(a)、(b)に基づいて説明する。

本発明の半導体装置においてウェルに印加される電圧はウェルコンタクト用ホール16aより印加される。図4および図5において、 V_{sub} はウェルに印加される電圧であり、 V_{th} はそのトランジスタの閾値電圧である。

【0045】

図4(a)はSOI基板を用いたNMOSトランジスタの閾値電圧の基板電圧(V_{sub})の依存性を示し、図4(b)はSOI基板を用いたNMOSトランジスタのオフ電流(I_{off})の基板電圧(V_{sub})の依存性を示す。同様に、図5

(a) は S O I 基板を用いた PMOS トランジスタの閾値電圧の基板電圧 (V_{su}) の依存性を示し、図 5 (b) は S O I 基板を用いた PMOS トランジスタのオフ電流 (I_{off}) の基板電圧 (V_{sub}) の依存性を示す。

【0046】

このように本発明によれば、同一ウェル内にあるトランジスタの閾値電圧とオフ電流を基板電圧を、変化させることにより所望の値にすることができる。各トランジスタの動作時とスタンバイ時のオフ電流を制御することができる。したがって、スタンバイ時のオフ電流を低く設定でき、低消費電力化が可能となる。また、トレンチは素子分離領域として利用されるだけでなく、ウェルコンタクトとしても共用されることになり、集積回路の微細化を図ることができる。

【0047】

【発明の効果】

本発明によれば、従来フローティングもしくは接地電位であった S O I 型の半導体装置の第 1 導電型半導体基板に所望の電圧を与えることにより、スタンバイ時の消費電流を低減できる半導体装置が提供される。

また、第 1 導電型半導体基板に所望の電圧を与えることにより、個々のトランジスタの閾値電圧の制御とフローティングボディ効果の抑制が十分に達成できる。

【0048】

さらに、素子分離用トレンチとウェルコンタクト用ホールを同時に形成できるため、煩雑な工程を付加することなく、目的の構造の半導体装置が得られる。

また、このコンタクトホールはトレンチによる素子分離領域に形成されるため、特別なマスク工程を追加することなく、プロセスを複雑化することなく、目的の構造の半導体装置が得られる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の半導体装置の概略断面図である。

【図 2】

図 1 の半導体装置の製造工程を示す概略断面図である。

【図3】

図1の半導体装置の素子分離用トレンチを拡大した概略断面図である。

【図4】

本発明の半導体装置のSOI基板を用いたNMOSトランジスタの閾値電圧の基板電圧(V_{sub})の依存性を示す図(a)と、SOI基板を用いたNMOSトランジスタのオフ電流(I_{off})の基板電圧(V_{sub})の依存性を示す図(b)である。

【図5】

本発明の半導体装置のSOI基板を用いたPMOSトランジスタの閾値電圧の基板電圧(V_{sub})の依存性を示す図(a)と、SOI基板を用いたPMOSトランジスタのオフ電流(I_{off})の基板電圧(V_{sub})の依存性を示す図(b)である。

【図6】

従来のSOIトランジスタを示す概略斜視断面図である。

【図7】

従来のSOIトランジスタを示す概略断面図である。

【図8】

従来のSOIトランジスタを示す概略断面図である。

【図9】

従来のSOIトランジスタを示す概略断面図である。

【符号の説明】

10、20、40 SOI基板

11 第1導電型半導体基板

12 埋め込み絶縁膜

13 半導体層

14 素子分離用トレンチ

14a サイドウォールスペーサー

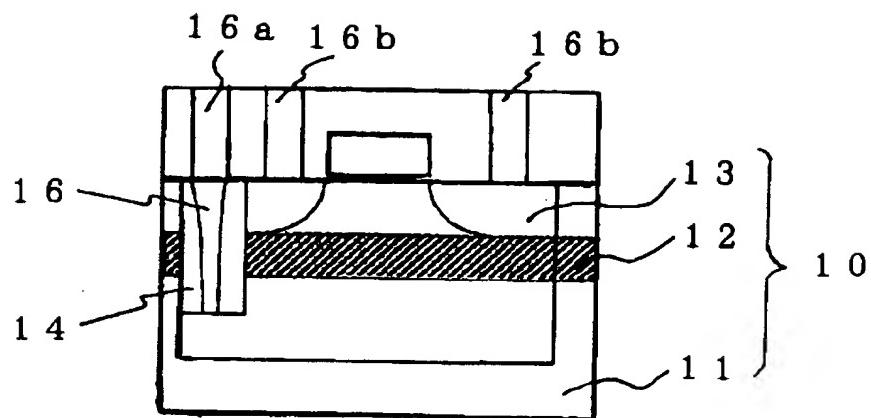
14a' CVD酸化膜

14b ウエルコンタクト用導電体

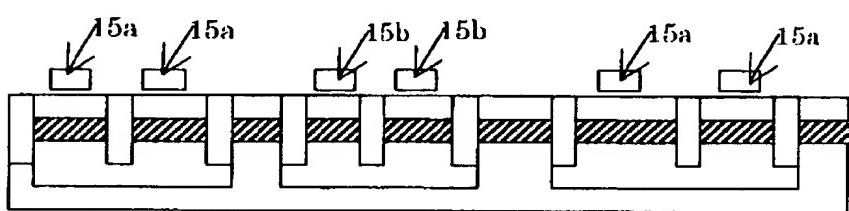
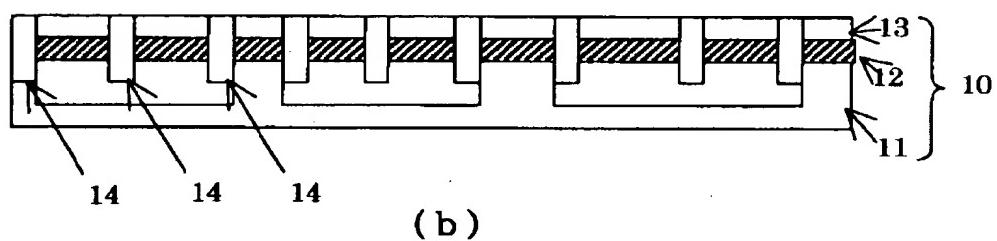
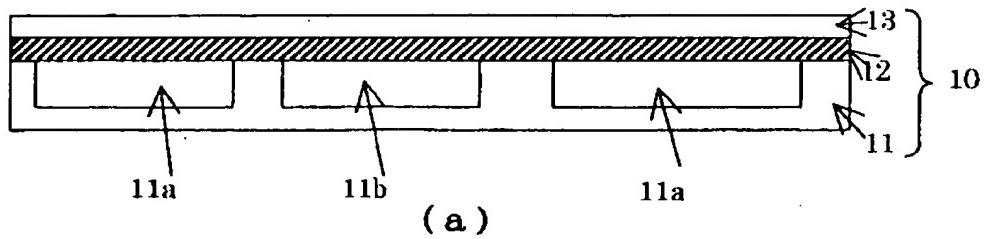
- 1 5 ゲート電極
1 5 a NMOSゲート
1 5 b PMOSゲート
1 6 コンタクトホール
1 6 a ウェルコンタクト用ホール
1 6 b トランジスタ用コンタクトホール
1 7 絶縁膜
2 1 支持基板
2 2 埋め込み絶縁膜
2 3 表面半導体層
2 4 ウェル完全分離膜
2 5 素子分離膜
2 6 Pウェル
2 7 Nウェル
2 8、2 9 ソース／ドレイン領域
3 0、3 1 ゲート電極
3 2 NMOSFET
3 3 PMOSFET
3 4、3 5 ウェルコンタクト
4 1 Si基板
4 2 SiO₂膜（絶縁膜）
4 3 Si層

【書類名】 図面

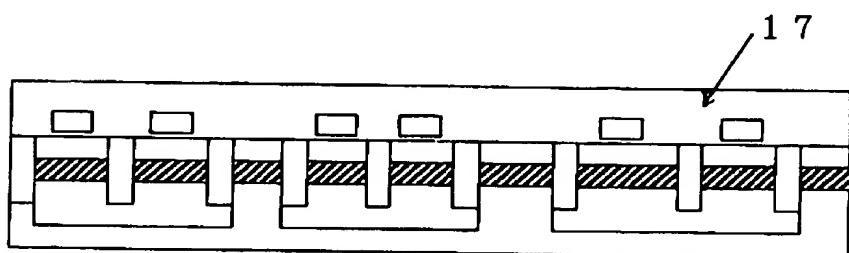
【図1】



【図2】

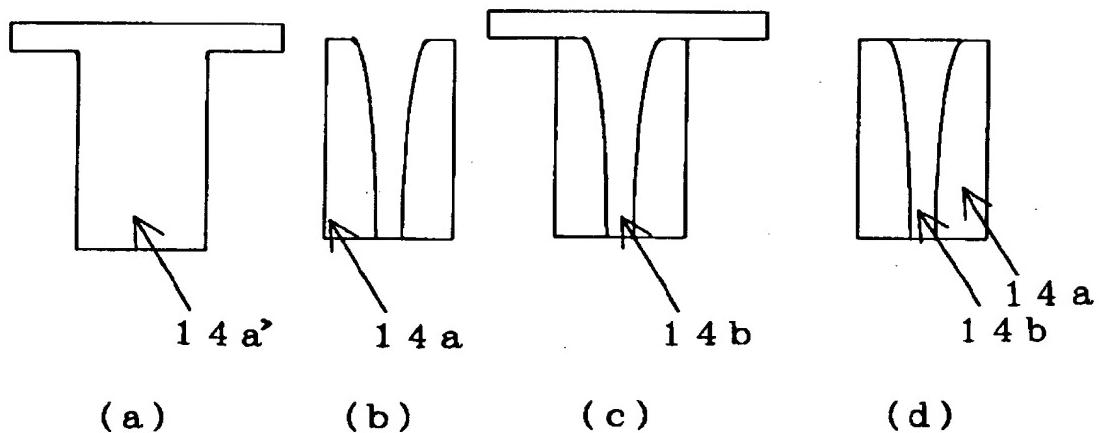


(c)

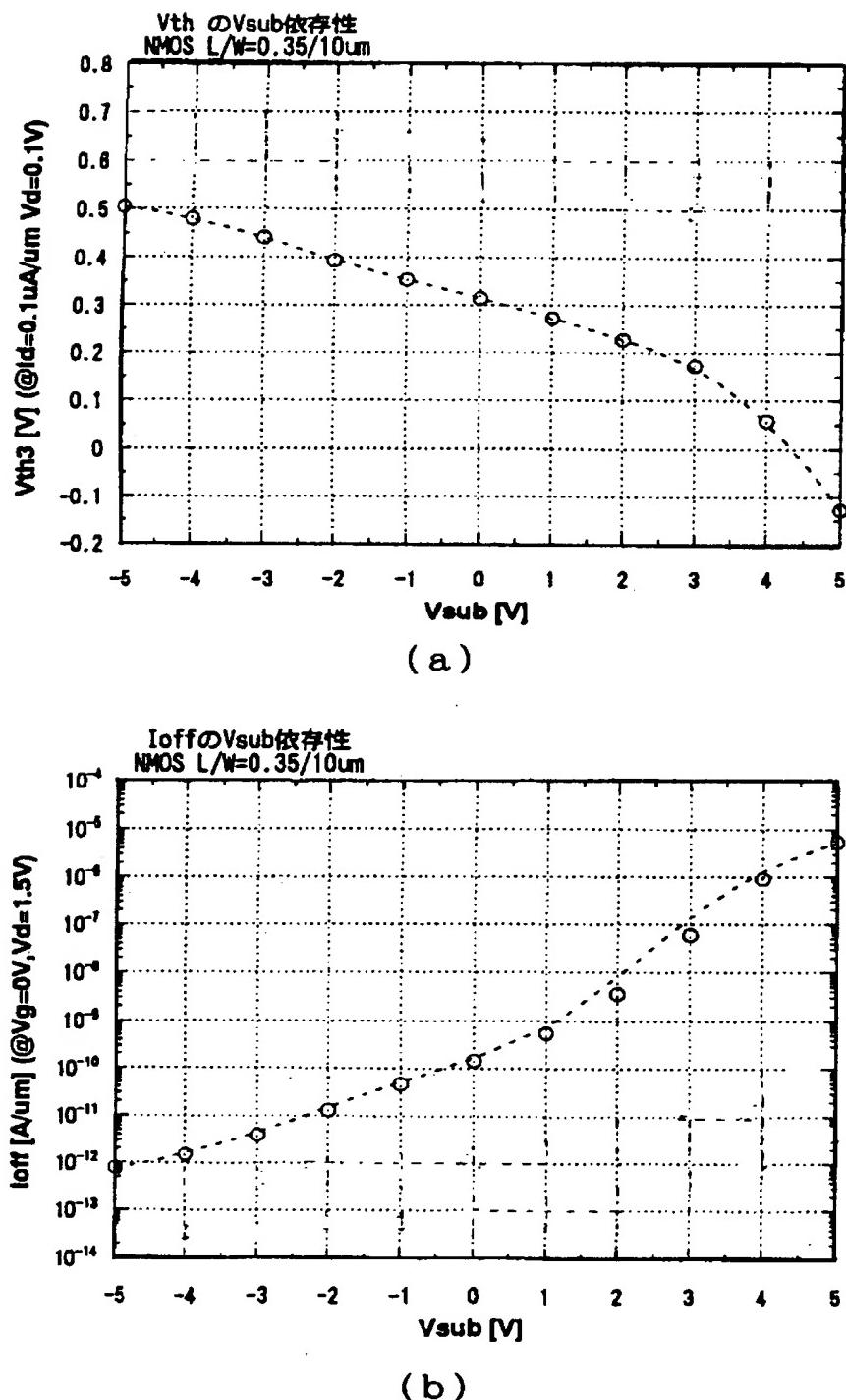


(d)

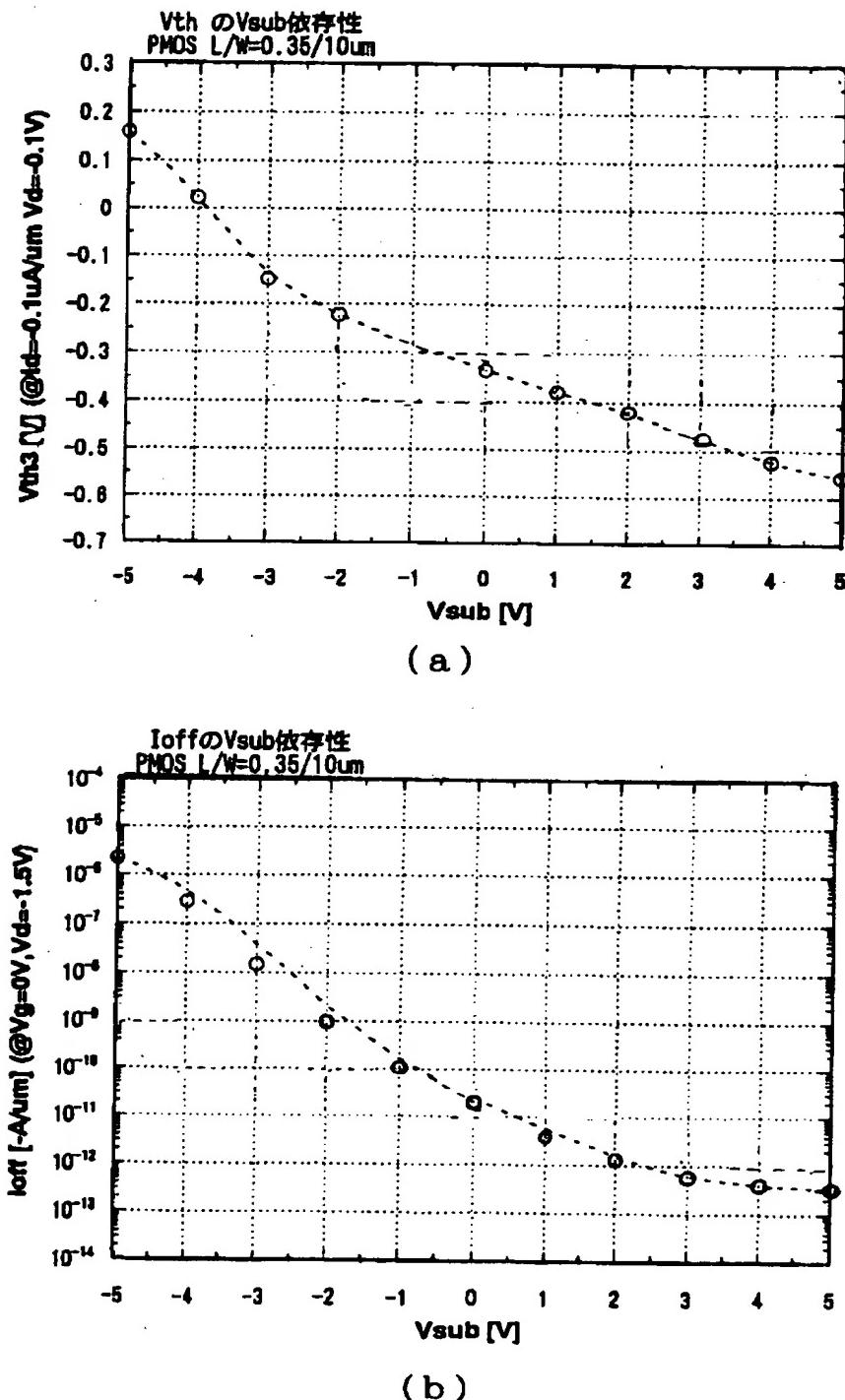
【図3】



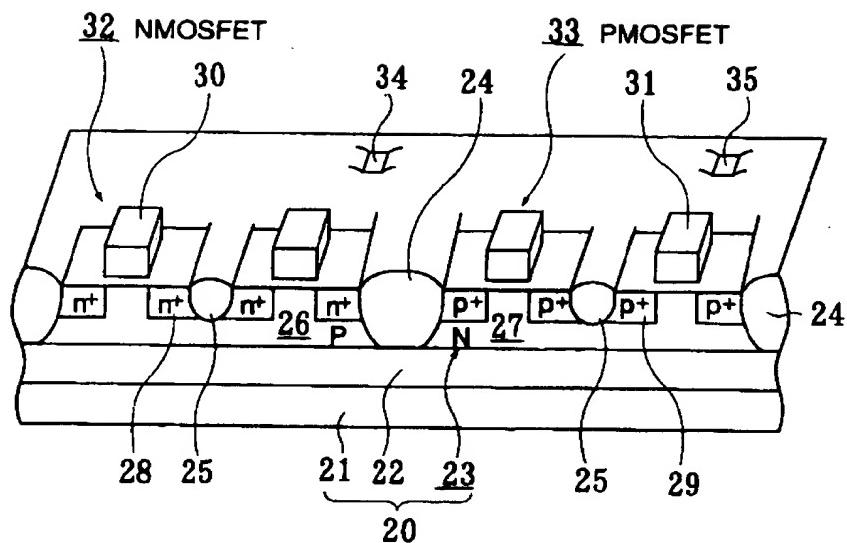
【図4】



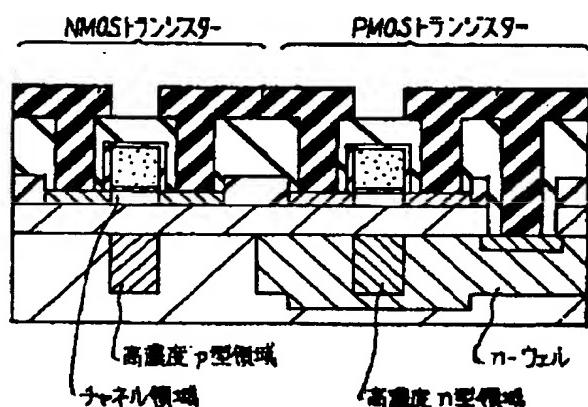
【図5】



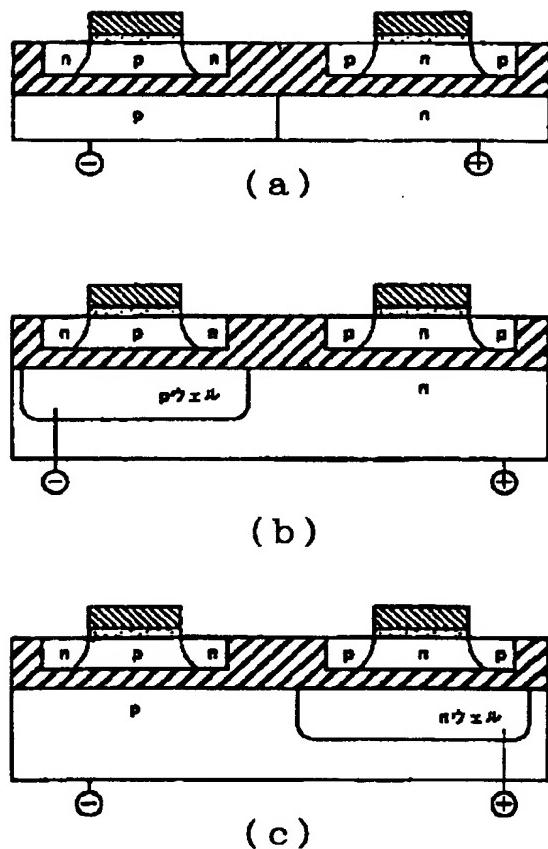
【図6】



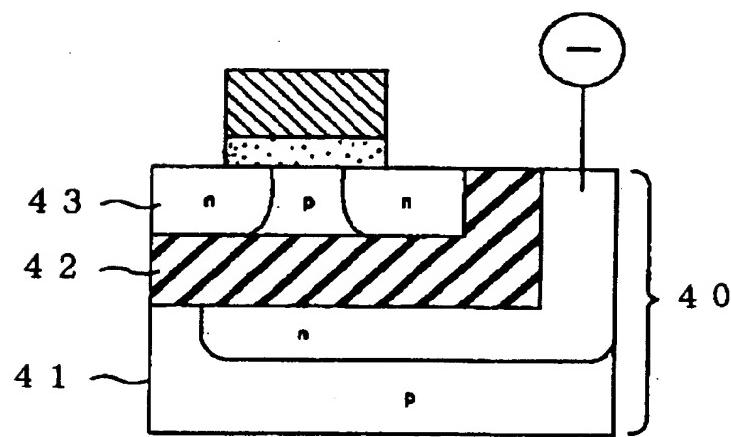
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 S O I 基板に形成されたM O S トランジスタにおいて、閾値電圧を動作時、もしくはスタンバイ時に応じて自由に変化させ、スタンバイ時のリークおよびそれに基づくスタンバイ時の消費電流を低減することができる半導体装置およびその製造方法を提供することを目的とする。

【解決手段】 第1導電型半導体基板上に埋め込み絶縁膜および半導体層が形成されたS O I 基板の半導体層にM O S トランジスタが形成された半導体装置であって、前記半導体層に形成された素子分離領域に、第1導電型半導体基板にバイアス電圧を印加するためのコンタクト部が形成されてなることを特徴とする半導体装置により、上記の課題を解決する。

【選択図】 図1

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社